



(19)

(11) Publication number: 11261059 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 10057720

(51) Intl. Cl.: H01L 29/78 H01L 21/28 H01L 21/027

(22) Application date: 10.03.98

(30) Priority:

(43) Date of application publication: 24.09.99

(84) Designated contracting states:

(71) Applicant: HITACHI LTD

(72) Inventor: HATTORI KEIKO  
TANAKA TOSHIHIKO  
YOSHIGAMI JIRO

(74) Representative:

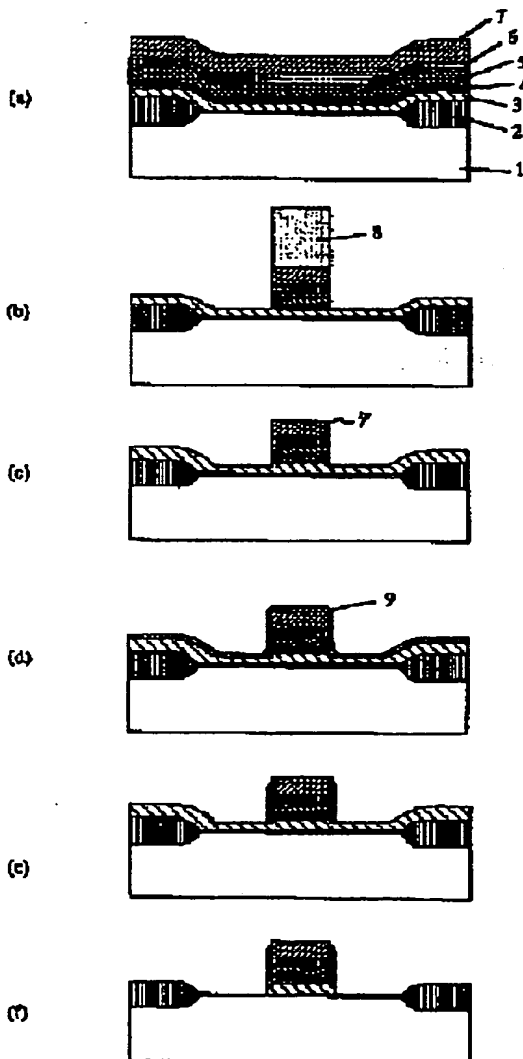
### (54) MANUFACTURE OF POLYMETAL GATE ELECTRODE

(57) Abstract:

**PROBLEM TO BE SOLVED:** To enable a fine polymetal gate electrode to be very accurately formed, while keeping it free from metal contamination.

**SOLUTION:** An antireflection film 6 is formed on a laminated film composed of a W film 5, a TiN film 4, and a polysilicon film 3 laminated in this sequence from above, an SiN film 7 is laminated thereon, a resist film 8 is applied onto the SiN film 7 and patterned for a gate electrode wiring, and a pattern is transferred by dry etching. The resist film 8 is removed, a cleaning operation is carried out, then an oxide film or a nitride film is formed to cover a metal exposed part, the oxide or nitride film is anisotropically etched, and the polysilicon film 3 is processed by etching for the formation of a polymetal gate electrode.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-261059

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 29/78

H 0 1 L 29/78

3 0 1 G

21/28

3 0 1

21/28

3 0 1 A

21/027

21/30

5 7 4

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号

特願平10-57720

(22) 出願日

平成10年(1998) 3月10日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 服部 恵子

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 田中 稔彦

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 由上 二郎

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

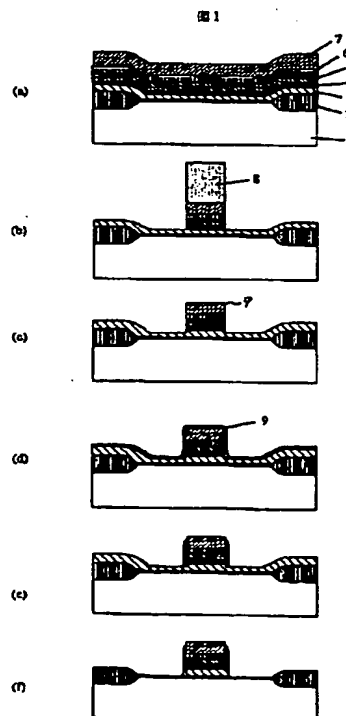
(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 ポリメタルゲート電極の作製方法

(57) 【要約】

【課題】 金属汚染がなく、微細なポリメタルゲート電極を高精度に作製する。

【解決手段】 上から W/TiN/ポリシリコンからなる積層膜上に反射防止膜を形成し、その上に成膜した SiN 上にレジストを塗布し、ゲート電極配線用のレジストパターニングを行い、ドライエッチングによりパタン転写を行う。レジスト除去および洗浄の後、酸化膜あるいは窒化膜を成膜して金属露出部を皮膜し、上記皮膜を異方性エッチングし、ポリシリコンのエッチング加工を行うことでポリメタルゲート電極を作製する。



## 【特許請求の範囲】

【請求項1】上からW/TiN/ポリシリコンからなる積層膜上に反射防止膜を形成する工程、上記反射防止膜上にSiNを製膜する工程、上記SiN上にレジストを塗布し、ゲート電極配線用のレジストパターニングを行う工程、SiN、反射防止膜、W、TiN層にドライエッチングにより転写を行う工程、レジスト除去後、フッ酸、硝酸混合液で洗浄する工程、酸化膜あるいは窒化膜を成膜して金属露出部を皮膜する工程、上記酸化膜あるいは窒化膜を異方性エッチングしポリシリコン面上の酸化膜あるいは窒化膜を除去する工程、ポリシリコンのエッチング加工を行う工程とからなることを特徴とするポリメタルゲート電極の作製方法。

【請求項2】請求項1における反射防止膜がSiN<sub>x</sub>O<sub>y</sub>膜であることを特徴とするポリメタルゲートの作製方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、高速動作MOSトランジスタの作製におけるポリメタルゲート電極を形成する方法に関するものであり、特に微細かつ、汚染のない高精度なポリメタルゲート電極作製方法に関する。

## 【0002】

【従来の技術】高速動作MOSトランジスタの作製ではより高速化を行うためにゲート寸法の精度を高めながら微細化し、かつゲート材料の低抵抗化をはかっている。低抵抗にするためにポリシリコンゲートからポリメタルゲートへと移行しつつあるが、これに伴い、新たな問題がでてきた。

【0003】第1の問題は、メタル層の適用による汚染の問題である。従来法ではポリシリコンエッチング時にメタル層のメタルが基板に再付着してしまう。ゲート膜上であるため洗浄能力のあるフッ酸洗浄などを行うことができずゲートが金属汚染されトランジスタの信頼性や特性が十分でない。

【0004】第2の問題は高精度加工の問題である。高反射基板上でのリソグラフィには、反射基板段差によるハレーション、基板段差による透明基板膜厚変動、レジスト膜厚変動によって起こる定在波、多重干渉などの問題がある。この問題により、レジスト寸法は大きく変動し、微細な加工を高精度で行うことは不可能となる。

【0005】そこで、反射防止膜を用いてこれらの問題の低減が行われている。反射防止膜の例としてはSiNOなどがある。WやAl等の金属上にSiNO、等の反射防止膜を、レジスト/反射防止膜界面の反射光と、反射防止膜/基板界面からの反射光とがお互いに逆位相の関係になるように反射防止膜の膜厚を制御して反射光を低減する。

【0006】しかし、ポリメタルゲート加工における膜構造では、高反射W上に形成された膜厚変動を伴うSi

N上のパターニングを行うため、単にSiN上の反射防止膜を形成する方法ではSiNの膜厚変動に対し、十分な裕度を維持することはできない。なお、ポリメタルゲートの従来例としては特開昭61-152076号がある。

## 【0007】

【発明が解決しようとする課題】ポリメタルゲートの採用により低抵抗化は実現できても、反射防止技術が適確に行われないと微細化、高精度化は達成されない。また金属汚染があつては実用的なゲート電極作製方法とはならない。

【0008】本発明の目的は、寸法精度が高く、かつ金属汚染のないポリメタルゲート電極作製方法を提供することにある。

## 【0009】

【課題を解決するための手段】上からW/TiN/ポリシリコンからなる積層膜上に反射防止膜を形成する工程、上記反射防止膜上にSiNを製膜する工程、上記SiN上にレジストを塗布し、ゲート電極配線用のレジストパターニングを行う工程、SiN、反射防止膜、W、TiNへドライエッチングにより転写を行う工程、レジスト除去後、フッ酸、硝酸混合液で洗浄する工程、酸化膜あるいは窒化膜を成膜して金属露出部を皮膜する工程、上記酸化膜あるいは窒化膜を異方性エッチングしポリシリコン面上の酸化膜あるいは窒化膜を除去する工程、ポリシリコンのエッチング加工を行う工程を順次行ってポリメタルゲート電極を作製することにより上記課題は解決される。

【0010】SiNの膜厚変動に対し効果的に反射防止効果を得るためにSiN/W界面に反射防止膜を形成する。反射防止膜はSiN<sub>x</sub>O<sub>y</sub>を主成分とし、Siの組成比で消費係数kが決定されるため十分な反射防止効果を得られる。これにより、微細パタンを高精度で得ることが可能となる。

【0011】反射防止膜は基板上に残ることになるが、Nの組成比の高いSiN<sub>x</sub>O<sub>y</sub>を用いることにより、フッ酸(1)/硝酸(400)(重量比)の混合液に対し、十分な耐性を持っているため横からのエッチングを抑えることができる。金属膜はゲート酸化膜が露出する前に酸化膜あるいは窒化膜で覆われ、またエッチングにより発生する金属を含んだ付着物はゲート酸化膜が露出する前に洗浄される。このため金属汚染を受けることがない。

## 【0012】

【発明の実施の形態】(実施例1)以下、本発明の実施例を工程図である図1を用いて説明する。図において、1はSi基板、2はSiO<sub>2</sub>膜、3はポリシリコン膜、4はTiN膜、5はW膜、6はSiN<sub>x</sub>O<sub>y</sub>反射防止膜、7、9はSiNまたはLPCVD-HTO膜、8はレジスト膜である。

【0013】図1(a)に示すようにポリメタルゲート

## 3

電極を形成する際、SiNまたはLPCVD-HTO膜7の膜厚変動に対し効果的に反射防止効果を得るために、W膜5上に反射防止膜6を形成した。反射防止膜上にSiNまたはLPCVD-HTO7をデポし、この上にレジストを塗布した。レジスト8のパターニング後、SiNまたはLPCVD-HTO7、反射防止膜6、W膜5、TiN膜4へ順次ドライエッチングにより転写を行った(図1(b))。レジスト8はアッシャーにより容易に除去できた。

【0014】この状態では、ポリシリコン3上はドライエッチングにより、金属汚染されているため、ポリシリコン3をわずかにウェットエッチし、金属汚染を取り除いた(図1(c))。この際、フッ酸(1)/硝酸(400)(重量比)の混合液を用いた。

【0015】反射防止膜としてSiN<sub>0.49</sub>O<sub>0.81</sub>を用いることにより、反射防止膜のサイドエッチ量は十分に抑えることができた。反射防止膜としてNの組成比が十分大きいSiN<sub>0.78</sub>O<sub>0.55</sub>を用いると、反射防止膜のサイドエッチ量は減り好ましい。

【0016】この洗浄により十分に金属汚染を除去し、その後、数nmの厚さのLPCVD-HTOまたはSiN9を形成して(図1(d))、異方性エッチングを行い、金属露出部を皮膜した(図1(e))。続いてポリシリコン膜3の加工を行った(図1(f))。

【0017】ポリシリコンまで一気にエッチングを行う従来法ではゲート酸化膜が顔を出すため金属を含んだエッチング付着物を洗浄効果の高いフッ酸等の洗浄でとることができずにトランジスタ特性が劣化したが、上記実施例のようにして作製したポリメタルゲート電極は低抵抗でかつ高い寸法精度を持っていた。しかも金属汚染がなく、信頼性の高いトランジスタとなった。

【0018】(実施例2)次に第2の実施例として、本発明のポリメタルゲート電極作製方法を用いて半導体メモリ素子を作製した。図2は素子の製造の主な工程を示す断面図である。ここでは代表的な製造工程のみを説明したが、これ以外は通常の素子製造工程を用いた。また、各工程の順番が前後しても本発明は適用できる。上記素子製造工程におけるワード線73を作製する工程ではほとんどの工程に本発明を適用した。

【0019】図2(a)に示すように、P型のSi半導体71を基板に用い、その表面に公知の素子分離技術を用い素子分離領域72を形成する。次に、実施例1に記載した構造のワード線73(a)~(e)を形成し、さらに化学気相成長法を用いて例えば150nmのSiO<sub>2</sub>を被着し、異方的に加工してワード線の側壁にSiOのサイドスペーサ74を形成する。次に、通常の方法でn拡散層75を形成する。次に図2(b)に示すように、通常の工程を経て多結晶Siまたは高融点金属シリサイド、あるいはこれらの積層膜などから成るデータ線76を形成する。

## 4

【0020】次に図2(c)に示すように、通常の工程を経て多結晶Siからなる蓄積電極78を形成する。その後、Ta<sub>2</sub>O<sub>5</sub>、Si<sub>3</sub>N<sub>4</sub>、SiO<sub>2</sub>、強誘電体、あるいはこれらの複合膜などを被着し、キャパシタ用絶縁膜79を形成する。ひきつぎ多結晶Si、高融点金属、高融点金属シリサイド、あるいはAl、Cu等の低抵抗な導体を被着しプレート電極80を形成する。

【0021】次に図2(d)に示すように、通常の工程を経て配線81を形成する。次に通常の配線層形成工程やパッシベーション工程を経てメモリ素子を作製した。

【0022】次に、本発明のポリメタルゲート電極作製方法を用いて形成したパターンについて説明する。図3は製造したメモリ素子を構成する代表的なパタンのメモリ部のパターン配置を示す。

【0023】図3(a)は作製した第1の素子のパタンの一例を示す。82がワード線、83がデータ線、84がアクティブ領域、85が蓄積電極、86が電極取り出し孔のパタンである。ワード線82を作製する工程において本発明を用いた。

【0024】また、図3(b)は作製した第2の素子のパタンの一例を示す。87がワード線、88がデータ線、89がアクティブ領域、90が蓄積電極、91が電極取り出し孔のパタンである。この例においても、ワード線87を作製する工程に本発明を用いた。

【0025】本発明を用いて作製した素子の特性は、従来法を用いて作製した素子の特性と比較すると特性が良好であった。具体的にはワード線の線幅のばらつきが小さいことから、データの読み出しスピードが速く特性が安定していた。また、金属汚染も防止できるため素子の良品取得歩留まりも向上した。

【0026】本実施例ではメモリLSIについて示したが、ロジックLSIのゲートでも動作速度の安定および向上がはかれ、良品歩留まりも向上した。その最大の理由はゲート寸法制御性の向上である。

【0027】

【発明の効果】本方法により、金属汚染がなく、微細なポリメタルゲート電極を高精度に作製できるようになった。これにより高速動作を行う信頼性の高いトランジスタを得ることができた。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す工程図。

【図2】本発明の半導体素子の製造方法を示す断面図。

【図3】本発明の半導体素子を構成する主なパタンの平面図。

【符号の説明】

1…Si基板、2…SiO<sub>2</sub>、3…ポリシリコン、4…TiN、5…W、6…SiN<sub>x</sub>O<sub>y</sub>(反射防止膜)、7…SiNまたはLPCVD-HTO、8…レジスト、9…LPCVD-HTOまたはSiN、72…素子分離領域、73(a-e)、82、87…ワード線、76、8

(4)

特開平11-261059

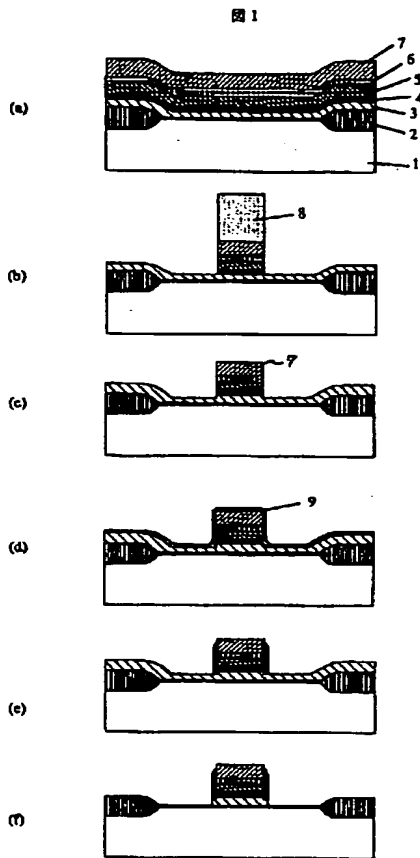
5

6

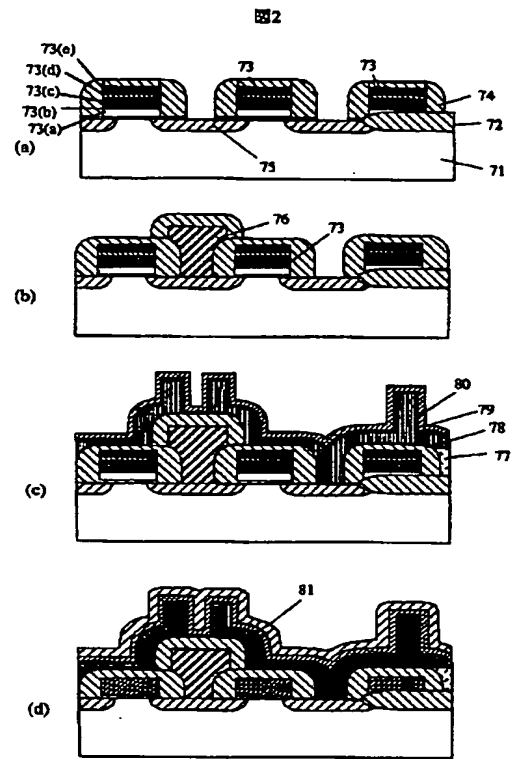
3, 88...データ線、78, 85, 90...蓄積電極、8

0...プレート電極。

【図1】



【図2】



【図3】

